

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-213191

(43)Date of publication of application : 15.08.1997

(51)Int.Cl. H01H 59/00  
H01L 21/82(21)Application number : 08-019782 (71)Applicant : NIPPON TELEGR & TELEPH CORP  
<NTT>(22)Date of filing : 06.02.1996 (72)Inventor : AKITANI HIDEO  
IMAI KAZUO

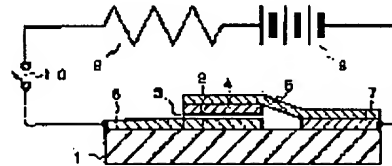
## (54) THERMAL TYPE MOVABLE CONTACT DEVICE AND ELECTROSTATIC MOVABLE CONTACT INTEGRATED CIRCUIT

## (57)Abstract:

PROBLEM TO BE SOLVED: To connect circuits to each other with lower resistance by applying electric potential difference between the first and the second electrodes and performing on/off operation by generated electrostatic attraction.

SOLUTION: When a switch 10 is closed, a prescribed voltage of a voltage source 8 is applied across a fixed electrode 2 and a movable electrode 4 via a protective resistance 9. When potential difference is applied across the fixed electrode 2b and the movable electrode 4, electrostatic attraction is generated so as to be attracted to each other, a support girder 5 is bent, the movable electrode 4 is attracted to the fixed electrode 2 so as to be in contact with each other, and at the same time the current flows. In this way, opening/closing of the fixed electrode 2 and the movable electrode 4 are performed by presence/ nonpresence of the electrostatic attraction so that the circuits can be connected to each other by lower resistance. A

programmable LSI such as an FPGA superior in high speed performance can be thus realized by the combination of a plurality of them. It is all right if the third electrode and the forth electrode are provided on an insulating board 1 and the support girder 5 respectively.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

BEST AVAILABLE COPY

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-213191

(43) 公開日 平成9年(1997)8月15日

(51) Int.Cl. <sup>9</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 H 59/00			H 0 1 H 59/00	
H 0 1 L 21/82			H 0 1 L 21/82	A

審査請求 未請求 請求項の数8 O L (全 6 頁)

(21) 出願番号 特願平8-19782

(22) 出願日 平成8年(1996)2月6日

(71) 出願人 000004226

日本電信電話株式会社

東京都新宿区西新宿三丁目19番2号

(72) 発明者 秋谷 秀夫

東京都新宿区西新宿三丁目19番2号 日本  
電信電話株式会社内

(72) 発明者 今井 和雄

東京都新宿区西新宿三丁目19番2号 日本  
電信電話株式会社内

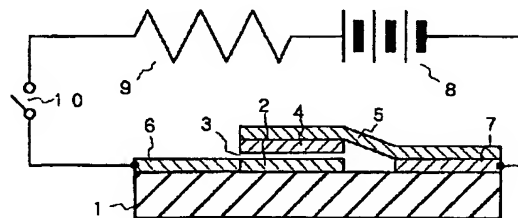
(74) 代理人 弁理士 山川 政樹

(54) 【発明の名称】 静電型可動接点素子および静電型可動接点集積回路

(57) 【要約】

【課題】 回路間の接続をより低抵抗で接続を可能にすることを目的とする。

【解決手段】 スイッチ10を閉じて直流電圧5Vを固定電極2と可動電極4との間に印加することで、生じた静電引力により支持梁5が撓み、可動電極4が固定電極2に引きつけられ接触する。



## 【特許請求の範囲】

【請求項1】 絶縁性基体上に固定された接続部および前記絶縁性基体と一定の空隙を隔てて前記接続部に続く可動な支持部から構成された支持梁と、

前記支持部下の前記絶縁性基体上に形成された第1の電極と、

前記支持部の前記第1の電極に対向する面に、前記第1の電極と所定の空隙をあけて形成された第2の電極とを少なくとも備えたことを特徴とする静電型可動接点素子。

【請求項2】 請求項1記載の静電型可動接点素子において、

前記支持部下の前記絶縁性基体上に形成された第3の電極と、

前記支持部の前記第3の電極に対向する面に、前記第3の電極と所定の空隙をあけて形成された第4の電極とを少なくとも備えたことを特徴とする静電型可動接点素子。

【請求項3】 請求項1または2記載の静電型可動接点素子において、

前記第2の電極または第4の電極は、絶縁膜を介して形成されていることを特徴とする静電型可動接点素子。

【請求項4】 請求項1または2記載の静電型可動接点素子において、

前記第1の電極または第2の電極は、他の電極と対向する面上に絶縁膜が形成されていることを特徴とする静電型可動接点素子。

【請求項5】 請求項1から4いずれか1項記載の静電型可動接点素子において、

前記第1、第2、第3、または、第4の電極の少なくとも1つが、電気的に分離された近接する2つ以上の電極から構成されていることを特徴とする静電型可動接点素子。

【請求項6】 請求項1から5いずれか1項記載の静電型可動接点素子を設けた静電型可動接点集積回路において、

前記第1の電極および第2の電極の互いに対向または近接する電極の間に所定の電圧を供給する駆動回路を備えたことを特徴とする静電型可動接点集積回路。

【請求項7】 請求項6記載の静電型可動接点集積回路において、

前記駆動回路は、前記静電型可動接点素子の下に形成されていることを特徴とする静電型可動接点集積回路。

【請求項8】 請求項7記載の静電型可動接点集積回路において、

前記第1から第4の電極の少なくとも2つに接続する選択回路を有し、前記静電型可動接点素子および駆動回路が複数備えて集積されていることを特徴とする静電型可動接点集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、電子システムの相互接続を行う静電型可動接点素子およびそれを用いた静電型可動接点集積回路に関する。

【0002】

【従来の技術】半導体集積回路の進展により、電子システムの小型化と同時に機能の革新および規模の拡大はめざましく、これにともないシステム開発コストの増大も甚だしくなっている。このため、LSIの開発期間の短縮が強く求められており、機能の変更や拡張が容易なFPGA(Field Programmable Gate Array)などのプログラマブルLSIが、システムの中核部品として有望視されている。

【0003】これまでのFPGAの実現手法としては、文献1(Chenming Hu, "Interconnect Device For Field Programmable Gate Array,"IEDM92(1992))などにみられるように、SRAM型、E(E)PROM型、アンチフューズ型の3種が知られている。SRAM型は、プログラム情報をSRAMメモリセルに蓄えておき、それに基づいて論理モジュール間の相互接続をMOSFETスイッチのオンオフで制御するものである。

【0004】また、E(E)PROM型は、プログラム情報を、SRAMメモリセルではなくフローティングゲートMOSFETに蓄積して制御を行うものである。前者がSRAMという揮発性メモリを用いるのに比べ、後者は不揮発性のフローティングゲート素子を用いていることや、相互スイッチ用MOSFETをそれぞれ兼用もできることなどの利点がある。

【0005】

【発明が解決しようとする課題】しかし、いずれの方式においても、相互接続点のオンオフをMOSFETで行うことは共通であり、導通時の抵抗がkΩ台の値となる。このため、論理モジュール間で信号をやりとりする際にRC遅延が生じ、高速システムでは使えないという問題があった。

【0006】一方、アンチフューズ型では、相互接続点の電極間に薄い絶縁膜を挿入しておき、プログラム情報に従って高電圧を印加するなどして強制的に大きな電流を流し、その薄膜を絶縁破壊させることにより電気的接続を実現する。従って、この場合は不揮発性であり、再プログラミングはできない。但し、接続点は低抵抗となるので高速化には有利である。しかし、このアンチフューズ型では絶縁破壊領域の大きさが接続点毎にまちまちとなり、また、絶縁破壊と同時に電極材料がジュール熱で溶融することもあるので、一般的に抵抗値のバラツキが大きいという問題があった。

【0007】この発明は、以上のような問題点を解消するためになされたものであり、より低抵抗で接続を可能にすることを目的とする。

【0008】

【課題を解決するための手段】この発明の静電型可動接点素子は、絶縁性基体上に固定された接続部および絶縁性基体と一定の空隙を隔てて接続部に続く可動な支持部から構成された支持梁と、支持部下の絶縁性基体上に形成された第1の電極と、支持部の第1の電極に対向する面に、第1の電極と所定の空隙をあけて形成された第2の電極とを少なくとも備えるようにした。第1と第2の電極間に電位差を与えると、静電引力が発生し、互いに引き寄せ合う。また、この発明の静電型可動接点集積回路は、静電型可動接点素子の第1の電極および第2の電極の互に対向または近設する電極の間に所定の電圧を供給する駆動用回路を備えるようにした。発生した静電引力により、支持梁の支持部が絶縁性基板に引き寄せられる。

【0009】

【発明の実施の形態】以下この発明の実施の形態を図を参照して説明する。

実施の形態1. 図1は、この発明の実施の形態における静電型可動接点素子の構成を示す構成図である。同図において、絶縁性基板1（絶縁性基体）の上に固定電極2（第1の電極）を設け、微小空隙3を隔てて可動電極4（第2の電極）が支持梁5によって支えられている。

【0010】固定電極2、可動電極4、それぞれの配線6、7、そして支持梁5はアルミニウムの薄膜とし、各電極は $100\mu\text{m} \times 100\mu\text{m}$ の正方形、膜厚 $0.5\mu\text{m}$ とし、各配線は幅 $1\mu\text{m}$ 、厚さ $0.5\mu\text{m}$ とした。ところで、支持梁5は、アルミニウムに限るものではなく、他の金属薄膜で形成するようにしても良い。また、支持梁5は、幅 $5\mu\text{m}$ 、厚さ $0.5\mu\text{m}$ 長さ $40\mu\text{m}$ とし、微小空隙3は、約 $1\mu\text{m}$ とした。そして、電圧源8は、保護抵抗9およびスイッチ10を介して、固定電極2用配線と可動電極4用配線の間に接続した。なお、この実施の形態では、支持梁5が導体であるので、可動電極4を設けず、この支持梁5を可動電極と兼用するようにしてもよい。

【0011】以上の構成で、スイッチ10を閉じて直流電圧5Vを固定電極2と可動電極4との間に印加したところ、生じた静電引力により支持梁5が撓み、可動電極4が固定電極2に引きつけられ接触すると同時に電流が流れた。このように、固定電極2と可動電極4との対は、この回路でのもう1つのスイッチとして働くことが明かであり、その開閉は静電引力の有無によっている。印加電圧の極性に関して、固定電極2を正、可動電極4を負とした場合も、また、その逆とした場合も同じように静電引力による接触が生じた。

【0012】実施の形態2. 図2は、この発明の実施の形態2における静電型可動接点素子の構成を示す構成図である。同図において、2a、2bは可動電極4下に互いに $2\mu\text{m}$ 離れて近設配置された固定電極（第1の電極）であり、他は図1と同様である。上述の図2に示し

た構成で、スイッチ10をオンにすることで固定電極2aと可動電極4との間に直流電圧5Vを印加したところ、上記実施の形態1と同様に、可動電極4は、固定電極2aに引き寄せられて2つならんでいる固定電極2a、2bに接触した。

【0013】このことにより、固定電極2aは、可動電極4との間だけでなく、固定電極2bとの間も導通を得たことになる。すなわち、図2に示した電流回路の他に、固定電極用配線6に接続する回路（図示せず）や、固定電極2bに配線を介して接続する回路（図示せず）との間を接続することができたことになる。

【0014】ところで、この実施の形態では、固定電極2aと可動電極4との間に電圧を印加するようにしたが、これに限るものではなく、固定電極2bと可動電極4との間に電圧を印加するようにしても良いことはいうまでもない。また、固定電極2aと固定電極2bとの間に、電圧を印加するようにしても良い。この場合、可動電極4は電圧が印加されないが、それぞれの固定電極2a、2bは、近設した可動電極4との間で静電容量結合を生じている。このため、可動電極4は固定電極2a、2bより吸引力を受けることになる。

【0015】実施の形態3. 図3は、この発明の実施の形態3における静電型可動接点素子の構成を示す構成図である。同図において、5aは絶縁物から構成され、絶縁性基板1に形成された支持梁である。図2と同様に、支持梁5aは可動電極4を支えており、この可動電極4下に、固定電極用配線6に接続する固定電極2aと分離した固定電極2bが形成されている。

【0016】前記実施の形態2では、図2に示すように、固定電極2aと可動電極4との間に電圧を印加するようにしたが、ここでは、固定電極2aと固定電極2bとの間に所定の電圧を印加する。この電圧印加により、固定電極2aと固定電極2bは、対向している可動電極4との間で静電容量結合を生じ、可動電極4は固定電極2a、2bより吸引力を受ける。そして、可動電極4は、固定電極2a、2bに接触し、固定電極2aと固定電極2bとの間が導通することになる。

【0017】以上示したように、絶縁物からなる支持梁5aを用いるようにしても、実施の形態2と同様に、固定電極用配線6に接続する回路（図示せず）や、固定電極2bに配線を介して接続する回路（図示せず）との間を接続することができることになる。なお、上述では、図1では1つであった固定電極2を、近設する2つの固定電極2a、2bとするようにしたが、これに限るものではなく、近設する3つの、または、4つの電極とするようにしても良い。

【0018】また、支持梁側に可動電極4を電氣的に分離した近設する2つの電極で構成し、これに対向する固定電極2は1つとし、2つの可動電極の間に電位差を与え、固定電極との間に静電引力を発生させるようにし

でも良い。すなわち、図3において、固定電極2 aおよび固定電極2 bと可動電極4とを入れ換えた構成である。この場合においても、可動電極4を電氣的に分離した近設する3つ以上の電極で構成するようにしても良い。

【0019】実施の形態4. 図4は、この発明の実施の形態4における静電型可動接点素子の構成を示す構成図である。同図において、11は支持梁5に設けられた可動電極(第4の電極)、12は可動電極11に対向するように絶縁性基板1上に形成した固定電極(第3の電極)である。なお、他は図2と同様である。

【0020】この実施の形態4において、スイッチ10をオンにすることで、固定電極2と可動電極4との間に電圧を印加すると、それらの間で静電容量結合を生じ、可動電極4は固定電極2に引きつけられる。そして同時に、支持梁5に懸架されている可動電極11は下降し、固定電極12と接触することになる。このことにより、可動電極11と固定電極12は導通することになる。すなわち、これらをスイッチの両端子とみなした回路(図示していない)を、スイッチ10のオンオフにより開閉

【0021】実施の形態5. この実施の形態5は、上記実施の形態4において1つの電極としていた固定電極12を、近設する2つの固定電極とし、また、可動電極11を絶縁膜を介して形成するようにしたものである。図5の構成図に示すように、可動電極11と支持梁5とを絶縁膜14で分離し、また、固定電極12 a、12 bを電氣的に分離して近設すれば、上述のことが達成できる。なお、他は図4と同様である。そして、図5に示す構成においても、スイッチ10をオンにすることで、固定電極2と可動電極4との間に電圧を印加すると、それらの間で静電容量結合を生じ、可動電極4は固定電極2に引きつけられる。このことにより、可動電極11は固定電極12 aと固定電極12 bとに接続することになり、固定電極12 aと固定電極12 bとが、支持梁5とは絶縁された状態で接続することになる。

【0022】ところで、絶縁膜14は配置しなくても良いが、固定電極12 aと固定電極12 bによるスイッチで回路の開閉を行う場合、それら固定電極12 a、12 bと支持梁5を介した他の電極とが接続する必要はない。むしろ、固定電極12 a、12 bは支持梁5と絶縁されている方が、回路外に不要な漏れ電流を発生することなくかえって好都合である。ここで、この固定電極12 a、12 bに接続する図示していない回路は、図5に示している回路とは電氣的に分離されているため、固定電極12 a、12 bに接続する回路は全く独立に実現できる。このように、この実施の形態5によれば、よりシステムへ応用する場合の設計自由度が高いという利点を有する。

【0023】実施の形態6. 図6は、この発明の第6の

実施の形態における静電型可動接点素子の構成を示す構成図である。この実施の形態6は、図2と図5の接続を組み合わせたものである。この実施の形態6の場合、上記実施の形態5と同様に、固定電極2 aと可動電極4との間に電圧を印加してもよいが、固定電極2 aと固定電極2 bとの間に電圧を印加するようにしても良い。

【0024】このことによっても、前述の実施の形態3でも説明したように、固定電極2 aと固定電極2 bは、近設している可動電極4との間で静電容量結合を生じ、可動電極4は固定電極2 a、2 bより吸引力を受ける。そして、結果として、上記実施の形態5と同様の効果を奏するものとなる。すなわち、固定電極12 aと固定電極12 bをスイッチの両端子とみなした回路(図示していない)を、スイッチ10のオンオフにより開閉することができる。このようにすることで、可動電極には電圧を印加することがないので、構造が単純化され製造が容易になる。

【0025】実施の形態7. 図7は、この発明の実施の形態7における静電型可動接点素子の構成を示す構成図である。この実施の形態7においては、図7に示すように、絶縁膜15を可動電極4の表面にも形成するようにした。このことにより、固定電極2 aと固定電極2 bとの間に電圧を印加して可動電極4を引きつけても、上記実施の形態6とは異なり、固定電極2 aと固定電極2 bとが導通状態とはならない。一方、固定電極12 aと固定電極12 bとは、上記実施の形態6と同様に、導通状態となる。

【0026】このように、支持梁5に配置した可動電極4を引きつけるようにしても、この実施の形態7においては、固定電極2 aと固定電極2 bとが導通状態とならず、この回路には電流が流れない。従って、この場合は、電圧は供給されるのみでほとんど電力を消費しないという利点がある。なお、上述では、可動電極4の表面に絶縁膜15を形成するようにしたが、可動電極4を形成せず、可動電極4と同位置に、絶縁膜だけを形成するようにしても良い。支持梁5が導電性を有するからである。また、上述では、可動電極4の表面に絶縁膜15を形成するようにしたが、この絶縁膜15は形成せずに、固定電極2 a、2 b上に絶縁膜を形成するようにしても同様である。

【0027】実施の形態8. 図8は、この発明の実施の形態8における静電型可動接点素子の構成を示す構成図である。同図に示すように、この実施の形態8においては、固定電極2 a、2 bに対向して支持梁5に絶縁膜15を形成した上に、可動電極4 aおよび可動電極4 bを近設して形成するようにした。固定電極2 aと支持梁5もしくは固定電極2 aと固定電極2 bとの間に電圧を印加することで、固定電極2 a、2 b、12 a、12 b側に支持梁5を引きつけたとき、固定電極2 a、2 bは、可動電極4 a、4 bと接触することになる。このように

しても、上記実施の形態7と同様に、支持梁5に配置した可動電極4a、4bを引きつけるようにしても、固定電極2aと支持梁5もしくは固定電極2aと固定電極2bとの間に電流が流れることがない。

【0028】ところで、上述では、断面構造図で説明する都合上、各電極や支持梁などを横1列方向に並べたが、これらは2次元平面上で考えれば、より自由な配置が可能であることはいうまでもない。また、電極材料としてアルミニウムを例示したが、これに限るものではなく、半導体電子素子で用いられる他の材料を用いるようにしても良い。例えば、ポリシリコンなどの半導体材料、タングステンやモリブデンなどの高融点金属、各種金属シリサイド、チタンや窒化チタン、銅や白金および金など様々な材料を用いることができる。

【0029】一方、支持梁の材料としては、アルミニウムや上述した導電体の他に、酸化シリコン、窒化シリコン、窒化アルミニウムなどの絶縁材料を用いることもできる。また、上述では、支持梁の基板への固定は、片側の一方所としているが、両側を固定した梁構造としても良いことはいうまでもない。また、梁の本数も、一方

#### 【0030】実施の形態9

図9は、この発明の実施の形態9における静電型可動接点集積回路の構成を示す構成図であり、可動のための電圧を供給する電気回路（駆動用集積回路）を組み込んだ状態を示している。同図において、91はp型のシリコンからなる基板、92は素子分離用の絶縁層、93は基板91表面の所望の領域に形成されたnウェル、94はゲート絶縁膜、95aはpMOSFETのゲート電極、95bはnMOSFETのゲート電極、96はn形の不純物が導入されたnMOSFETのソース・ドレイン領域、97はp形の不純物が導入されたpMOSFETのソース・ドレイン領域、98は層間絶縁膜である。

【0031】また、99はドレイン引き出し電極、100は出力引き出し電極、101はソース引き出し電極、102は層間絶縁膜、103はドレイン引き出し電極99に接続するVDD端子、104はソース引き出し電極101および支持梁5に接続するGND端子、105は出力引き出し電極100と固定電極2とを接続する出力用ビア配線であり、他はほぼ図5と同様である。ただし、ここでは、可動電極4が絶縁膜15を介して支持梁5に形成されている。そして、ゲート電極95aとゲート電極95bには、図示していないが、共通の配線によって同一の電位が与えられ、これらで駆動用のCMOSインバータ回路106が形成されている。

【0032】このCMOSインバータ回路106の動作により、出力引き出し電極100の電位が変化するので、固定電極2と支持梁5の間の電圧が変化する。この動作に合わせて、支持梁5の可動部分は上下に運動し、

可動電極4および可動電極11が上下する。そして、固定電極12a、12bの間が、可動電極11により開閉される。以上示したように、この実施の形態9によれば、静電型可動接点素子の駆動用の電圧供給回路（CMOSインバータ回路）をその静電型可動接点素子の下に組み込むようにしたので、占有面積が小さくなる。また、電圧供給回路と静電型可動接点素子との接続配線も最短距離となるので、全体として高速動作が可能となる。

【0033】実施の形態10。図10は、この発明の実施の形態10における静電型可動接点集積回路の構成を示す構成図であり、可動のための電圧を供給する電気回路を組み込んだ状態を示している。この実施の形態10では、ドレイン引き出し電極99に固定電極2aを接続し、出力引き出し電極100には固定電極2bを接続するようにしている。そして、固定電極2bに対向するように可動電極4bを配置し、また、支持梁5は回路より分離している。

【0034】この実施の形態10においては、CMOSインバータ回路106の動作により、出力引き出し電極100の電位が変化し、固定電極2aと固定電極2bの間の電圧が変化する。固定電極2aと固定電極2bの間に電位差が発生したとき、静電引力が生じ、支持梁5を引きつける。そして、この動作に合わせて、支持梁5の可動部分は上下に運動し、可動電極4a、4bおよび可動電極11が上下する。そして、固定電極12a、12bの間が、可動電極11により開閉される。以上示したように、この実施の形態10においても、上記実施の形態9と同様に、占有面積を小さくすることが可能となり、また、電圧供給回路と静電型可動接点素子との接続配線も最短距離となり、全体として高速動作が可能となる。

【0035】ところで、上記実施の形態9、10で示した静電型可動接点集積回路を、一つの基板に複数組集積化し、任意のCMOSインバータ回路を選んで動作させる選択回路を同時に集積化することで、多接点集積回路が実現できる。この、多接点集積回路によれば、所望の接点の開閉状態をプログラムデータに応じて切り替えることが可能となり、これを用いれば、FPGAを構成することが可能となる。

#### 【0036】

【発明の効果】以上説明したように、この発明では、電圧を印加することで第1の電極と第2の電極の間に電位差を発生させ、このことにより発生した静電引力により支持梁を引き寄せることで、オンオフ動作をさせるようにした。この結果、この発明によれば、回路間をより低抵抗で接続可能にできるという効果がある。そして、これらを複数組み合わせることで、高速性に優れたFPGAなどを実現することができる。

【図面の簡単な説明】

【図 1】 この発明の実施の形態 1 における静電型可動接点素子の構成を示す構成図である。

【図 2】 この発明の実施の形態 2 における静電型可動接点素子の構成を示す構成図である。

【図 3】 この発明の実施の形態 3 における静電型可動接点素子の構成を示す構成図である。

【図 4】 この発明の実施の形態 4 における静電型可動接点素子の構成を示す構成図である。

【図 5】 この発明の実施の形態 5 における静電型可動接点素子の構成を示す構成図である。

【図 6】 この発明の第 6 の実施の形態における静電型可動接点素子の構成を示す構成図である。

\* 【図 7】 この発明の実施の形態 7 における静電型可動接点素子の構成を示す構成図である。

【図 8】 この発明の実施の形態 8 における静電型可動接点素子の構成を示す構成図である。

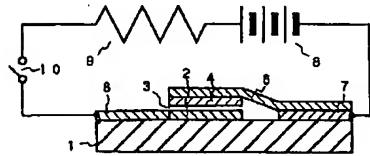
【図 9】 この発明の実施の形態 9 における静電型可動接点集積回路の構成を示す構成図である。

【図 10】 この発明の実施の形態 10 における静電型可動接点集積回路の構成を示す構成図である。

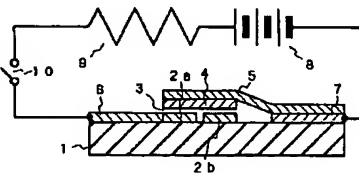
【符号の説明】

10 1…絶縁性基板、2…固定電極、3…微小空隙、4…可動電極、5…支持梁、6、7…配線、8…電圧源、9…保護抵抗、10…スイッチ。

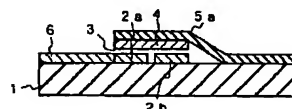
【図 1】



【図 2】

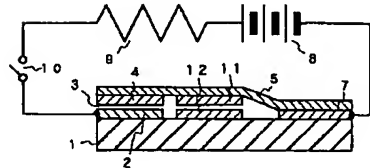


【図 3】

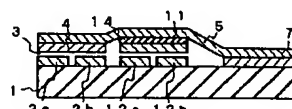
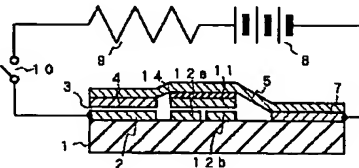


【図 6】

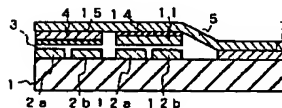
【図 4】



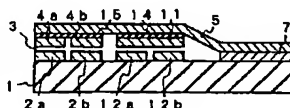
【図 5】



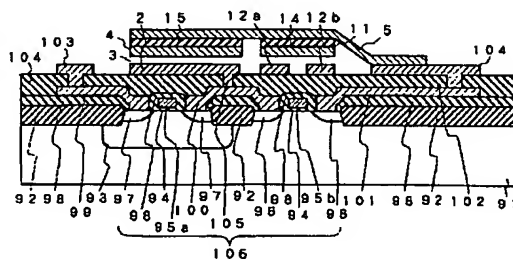
【図 7】



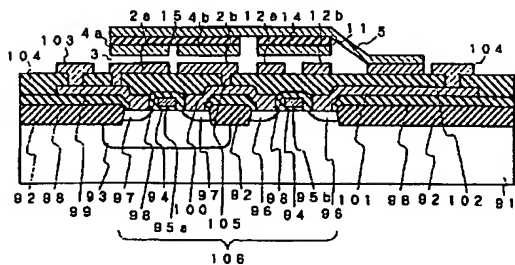
【図 8】



【図 9】



【図 10】





**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**